

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153612

(43)Date of publication of application : 10.06.1997

(51)Int.CI.

H01L 29/78

H01L 21/8234

H01L 27/088

(21)Application number : 07-314446

(71)Applicant : SHARP CORP

(22)Date of filing : 01.12.1995

(72)Inventor : IGUCHI KATSUJI

AZUMA KENICHI

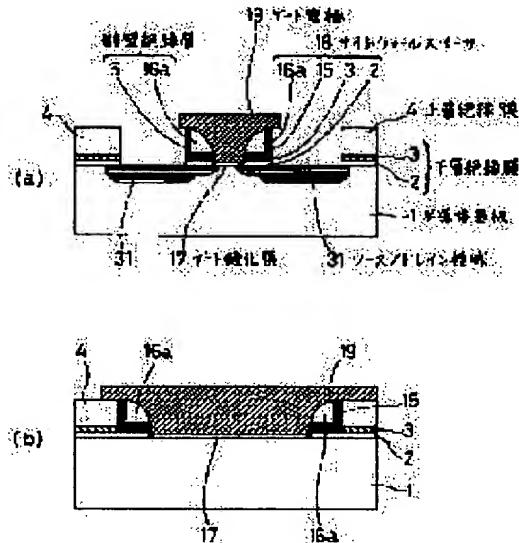
KAWAMURA AKIO

## (54) MOS TRANSISTOR AND MANUFACTURE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS transistor which has a stable fine gate.

SOLUTION: This MOS transistor has a gate electrode 19 which is formed via a gate insulator film 17 on a semiconductor substrate 1 prescribed by a field region, and source and drain regions 31 formed within the semiconductor substrate 1. The field region is formed at least by lower insulator films 2, 3 and an upper insulator film 4 made of a material which enables selective etching with respect to the lower insulator films 2, 3. The gate electrode 19 has an elongated shape such that the gate length of the top is greater than the gate length of the bottom facing a channel region located between the source and drain regions 31. The gate electrode 19 also has sidewall spacers 16 which contact sidewalls of the gate electrode 19 and cover the outer periphery of the channel region. The sidewall spacers 16 include the lower insulator films 2, 3 and sidewall insulator layers 15, 16a made of a material which enables selective etching with respect to the upper insulator film 4. The channel region is flat with respect to the source and drain regions 31.



## LEGAL STATUS

[Date of request for examination] 16.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-153612

(43)公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	301G
21/8234			27/08	102C
27/088			29/78	301H

審査請求 未請求 請求項の数 8 O L (全 19 頁)

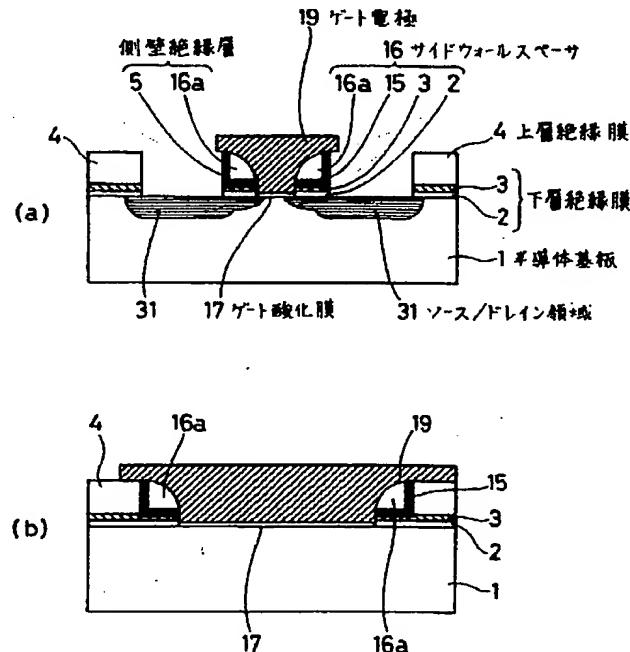
(21)出願番号	特願平7-314446	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成7年(1995)12月1日	(72)発明者	井口 勝次 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(72)発明者	東 賢一 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(72)発明者	川村 昭男 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(74)代理人	弁理士 野河 信太郎

## (54)【発明の名称】 MOSトランジスタ及びその製造方法

## (57)【要約】

【課題解決手段】 フィールド領域によって規定された半導体基板1上にゲート絶縁膜17を介して形成されたゲート電極19、半導体基板1内に形成されたソース／ドレイン領域31を備えてなり、フィールド領域は、少なくとも下層絶縁膜2、3と下層絶縁膜2、3に対して選択エッチングが可能な材料で形成された上層絶縁膜4とからなり、ゲート電極19は、ソース／ドレイン領域31間に配置するチャネル領域に對面する底面のゲート長よりもその上面のゲート長が長い形狀を有し、かつゲート電極19の側壁に接するとともにチャネル領域の外周を被覆し、下層絶縁膜2、3と上層絶縁膜4に対して選択エッチングが可能な材料で形成された側壁絶縁層5、16aとからなるサイドウォールスペーサ16を有しており、チャネル領域は、ソース／ドレイン領域31に対してほぼ平坦であるMOSトランジスタ。

【効果】 安定な微細ゲートを有するMOSトランジスタを得ることができる。



## 【特許請求の範囲】

【請求項1】 フィールド領域によって規定された半導体基板上にゲート絶縁膜を介して形成されたゲート電極、前記半導体基板内に形成されたソース／ドレイン領域を備えてなり。

前記フィールド領域は、少なくとも下層絶縁膜と該下層絶縁膜に対して選択エッチングが可能な材料で形成された上層絶縁膜とからなり、

前記ゲート電極は、前記ソース／ドレイン領域間に配置するチャネル領域に對面する底面のゲート長よりもその上面のゲート長が長い形状を有し、かつ前記ゲート電極の側壁に接するとともにチャネル領域の外周を被覆し、前記下層絶縁膜と前記上層絶縁膜に対して選択エッチングが可能な材料で形成された側壁絶縁層とからなるサイドウォールスペーサを有しており、

前記チャネル領域は、ソース／ドレイン領域に対してほぼ平坦であることを特徴とするMOSトランジスタ。

【請求項2】 上層絶縁膜が、シリコン酸化膜からなり、下層絶縁膜がシリコン窒化膜とシリコン酸化膜の2層膜からなる請求項1記載のMOSトランジスタ。

【請求項3】 側壁絶縁層が、シリコン酸化膜と該シリコン酸化膜を被覆するシリコン窒化膜からなる請求項1又は2のいずれかに記載のMOSトランジスタ。

【請求項4】 (i) 半導体基板上全面に下層絶縁膜と上層絶縁膜とを形成し、前記上層絶縁膜であってチャネル領域周辺上に前記下層絶縁膜に至る開口を形成し、(ii) 前記上層絶縁膜の開口側壁に、上層絶縁膜に対して選択エッチングが可能な材料からなる側壁絶縁層を形成するとともに、該側壁絶縁層下以外の開口底部に存在する前記下層絶縁膜を除去して前記半導体基板を露出させ、(iii) 該露出した半導体基板上にゲート絶縁膜を形成し、(iv) 前記ゲート絶縁膜上であって少なくとも前記側壁絶縁層の一部を被覆するようにゲート電極を形成し、(v) ソース／ドレイン領域を形成するべき領域上の上層絶縁膜を除去してサイドウォールスペーサを形成する工程を含むMOSトランジスタの製造方法。

【請求項5】 工程(i)において、下層絶縁膜として、第1絶縁膜と該第1絶縁膜に対して選択エッチングが可能な材料からなる第2絶縁膜とを形成する請求項4記載のMOSトランジスタの製造方法。

【請求項6】 工程(i)において、下層絶縁膜としてシリコン酸化膜とシリコン窒化膜とを形成し、上層絶縁膜としてシリコン酸化膜を形成する請求項4記載のMOSトランジスタの製造方法。

【請求項7】 工程(ii)において、開口部を含む上層絶縁膜上にシリコン窒化膜とシリコン酸化膜とを順次形成し、これら膜によって側壁絶縁層を形成する請求項4記載のMOSトランジスタの製造方法。

【請求項8】 さらに、工程(vi)において、ゲート電極及びサイドウォールスペーサをマスクとして用いて、 $\theta$

1 (ここで、 $\tan \theta_1$  = サイドウォールスペーサ端からゲート電極端までの距離SG／サイドウォールスペーサの高さSh) 以上の注入角度で第1イオン注入を行い、続いて $\theta_2$  (ここで、 $\tan \theta_2$  = チャネル領域に對面する底面のゲート電極端から上面のゲート電極端までの距離BS／サイドウォールスペーサの高さSh) 以上の注入角度で第2イオン注入を行うことにより、ソース／ドレイン領域を形成する請求項4記載のMOSトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はMOSトランジスタ及びその製造方法に関し、より詳細にはシリコンLSI用のMOSトランジスタ及びその製造方法に関する。

## 【0002】

【従来の技術】 最先端のシリコンMOS-LSIでは、ほぼ3年に0.7倍のペースでトランジスタのゲート長が縮小され、トランジスタの能力が向上すると共に、チップ当たりのトランジスタの集積率が増加し、ますます高速かつ高機能のLSIが製造されている。

【0003】 一方、MOSトランジスタの開発レベルでは、実際に製造されているLSIに比べて、遙かに微細なトランジスタの動作が確認されている。つまり、ようやく0.35～0.4μmのゲート長のトランジスタを使用したLSIが製造されるようになったという時期に、すでにゲート長0.1μm以下のトランジスタの動作が確認されている。

【0004】 上記のような微細なトランジスタの試作、特にゲート電極のパターン形成では、通常のLSI製造に使用される露光設備ではなく、スループットが低く、一般にはLSIの量産では使用されていない電子ビーム露光装置等の開発専用設備を用いて実施している。従って、今日すぐにこれを製品に適用して量産を開始することは極めて困難である。

【0005】 また、高性能な携帯機器を製造するためには、チップの低消費電力化が不可欠になっている。これに対しては、動作電圧の低減が最も有効な手段である。つまり、動作電圧を半減することができれば、消費電力の1/4への低減を実現することができる。しかし、動作電圧を下げた場合、LSIの動作速度が著しく低下するという欠点がある。例えば、1.5～1.0Vの低電圧で、3.3Vと同一の動作速度を達成させることは、同一デザインルールのLSIではほとんど不可能に近い。従って、動作電圧の低減を実現するためには、トランジスタを微細化し、LSIの能力を向上させる必要がある。

【0006】 そこで、現在開発段階にある微細トランジスタを、量産可能な微細加工技術に制約されることなく製造する方法が試みられている。その1つの方法として、実用的な露光装置の露光限界程度の微細なレジスト

パターンを形成し、これを酸素プラズマ等で等方的にエッチングしてレジストパターンを細らせることによって、微細パターンを形成する方法（レジストアッキング法）が提案されている。例えば、i線露光技術により0.35  $\mu\text{m}$ の線幅のゲートパターンを形成した後、これを0.1  $\mu\text{m}$ エッキングすることにより約0.15  $\mu\text{m}$ の線幅を有するゲートパターンを形成することができる。

【0007】また、低電圧での高速動作を実現させるためには、寄生容量の低減が不可欠であり、特にソース／ドレイン容量の低減が必要である。従来、ソース／ドレイン容量の低減を図るために、チャネル部分のみに高い不純物濃度、ソース／ドレイン下に低い不純物濃度を分布するために、レジストマスクを用いてトランジスタ形成領域の一部に不純物イオンを注入する方法がある。さらに、SOI基板（Silicon On Insulator）を用いて、ソース／ドレイン容量の低減が図る方法もある。

【0008】また、ゲート長の縮小とソース／ドレイン容量の低減とを同時に実現する方法として、図21に示す積み上げ拡散層型MOSトランジスタの製造方法が提案されている（応用物理；61巻、11号（1992）、p1143-1146）。まず、図21（a）に示したように、基板61の表面に素子分離膜62を形成し、基板61上全面にポリシリコン膜63と酸化膜64とを積層する。

【0009】次いで、ポリシリコン膜63に不純物を拡散させた後、図21（b）に示したように、拡散層となる部分のみを残すようにポリシリコン膜63と酸化膜64とをパテーニングする。この際、ポリシリコン膜63と酸化膜64とがエッキング除去された素子分離膜62はほとんどエッキングされないが、チャネル領域65となる基板61の表面層は、ポリシリコンとの選択比がほとんどないためにエッキングされることとなる。

【0010】続いて、図21（c）に示したように、ポリシリコン膜63及び酸化膜64とを含む基板61上全面に酸化膜を堆積し、これをエッチバックしてポリシリコン膜63及び酸化膜64の側壁にサイドウォールスペーサ66を形成する。チャネル領域65は、サイドウォールスペーサ66により縮小される。さらに、ポリシリコン膜63、酸化膜64及びサイドウォールスペーサ66をマスクとして用いて、トランジスタの閾値電圧の制御及び短チャネル効果の抑制のために不純物イオンを注入する。このイオン注入はチャネル領域開口部67以外には行われないため、拡散層下の不純物濃度を比較的低く保つことができ、ソース／ドレイン容量を低減することができる。また、熱処理を行うことにより、基板61にポリシリコン膜63からの不純物の拡散を行う。

【0011】次いで、図21（d）に示したように、開口部67上にゲート絶縁膜68を形成し、ポリシリコン膜を形成し、このポリシリコン膜を所望の形状にパテーニングしてゲート電極69を形成し、層間絶縁膜70を

形成し、アルミ配線71を形成してトランジスタを完成する。

### 【0012】

【発明が解決しようとする課題】上記レジストアッキング法は、開発段階での少数のトランジスタを形成するためには、有効な方法であるが、(a)ウエハ面内の全ての領域においてエッキング速度を均一に確保することが困難であり、レジストパターンの線幅のばらつきが生じやすい、(b)エッキング量は、エッキング時間で制御する以外に制御できないため、エッキング速度のバラツキによるエッキング量の再現性確保が困難である、(c)LLOCOS膜のような素子分離領域境界部でのわずかな段差や光学特性の差によって露光時に生じるくびれ等の線幅変動がそのまま残るため、線幅縮小前には許容範囲内の線幅変動であっても、線幅縮小後は大きな問題となる。例えば、0.35  $\mu\text{m}$ の線幅に対して0.03  $\mu\text{m}$ のばらつきは、10%以内であり許容範囲内であるが、レジストパターンの0.1  $\mu\text{m}$ のエッキングを行った場合には線幅縮小後に0.15  $\mu\text{m}$ の線幅となり、0.15  $\mu\text{m}$ に対して0.03  $\mu\text{m}$ のばらつきは20%となり許容範囲を逸脱する。また、(d)ゲート電極の線幅が0.1~0.2  $\mu\text{m}$ と極めて細くなるため、ゲート電極の配線抵抗が増大するという問題がある。ゲート電極の配線抵抗の増大を避けるためには、ゲート電極の厚さを厚くしたり、抵抗が低い材料、例えばCoSi<sub>2</sub>等を使用する方法がある。しかし、ゲート電極を厚くした場合には、基板上の凹凸が顕著となり、その後のメタル配線形成の際の障害となる。つまり、0.1  $\mu\text{m}$ 高のWSi膜/0.1  $\mu\text{m}$ 高のポリシリコン膜を用いて、線幅0.35  $\mu\text{m}$ でゲート電極を形成した場合、片側0.1  $\mu\text{m}$ の細線化を行うと、ゲート電極の線幅は0.15  $\mu\text{m}$ と43%まで縮小され、一方抵抗は約2.3倍となる。従って配線抵抗の増大を防止するためにゲート電極の厚さをポリシリコン換算で約2.3倍にする必要がある。WSi膜/ポリシリコン膜によるゲート電極においては、WSi膜のみ厚くすることは困難なため、所望の配線抵抗の低減を図るためにゲート電極の膜厚は約0.4  $\mu\text{m}$ と約2倍となる。一方、抵抗が低いTiSi<sub>2</sub>サリサイドを用いた場合、ゲート電極の線幅が小さくなると急激に抵抗が増大することが知られており、サリサイドを用いる効果がなくなる。

【0013】また、ソース／ドレイン容量を低減する方法においては、(e)トランジスタ形成領域の一部に不純物イオンを注入する場合には、このイオン注入のために特別のマスク工程を行わなければならず、製造工程が増加して製造コストの増大をもたらす、(f)SOI基板を用いた場合には、ソース／ドレイン容量低減には効果が大きいが、基板が従来のシリコン基板に比べ、3倍~10倍程度高価となるとともに、基板の品質が従来シリコン基板に比べて劣る場合が多いという問題がある。

【0014】さらに、積み上げ拡散層型MOSトランジスタを製造する方法においては、(g) CMOSを形成する場合には、少なくとも、素子分離膜、Nウェル領域、Pウェル領域、ポリシリコン膜による拡散層、ポリシリコン膜のN<sup>+</sup>領域、ポリシリコン膜のP<sup>+</sup>領域、NMOSチャネル領域(NMOSトランジスタのチャネル開口部への不純物注入)、PMOSチャネル領域、ゲート電極、コンタクトホール、アルミ配線を形成するため、1回のフォトリソグラフィ工程が必要となり、通常のCMOS形成工程に比べ、フォトリソグラフィ工程が約3回増加する。つまり、PMOS及びNMOSの両トランジスタのゲート電極をそれぞれP<sup>+</sup>ポリシリコン膜、N<sup>+</sup>ポリシリコン膜で形成する場合(いわゆるデュアルゲート構造、PMOSの短チャネル効果抑制には不可欠な技術であり、ゲート長が0.25μm以下の場合には必須と考えられている)には、2回のフォトリソグラフィ工程が増加し、さらにポリシリコン膜により拡散層をバーニングするためのフォトリソグラフィ工程が増加するという問題がある。また、(h)拡散層のバーニングのためのシリコン基板上に堆積されたポリシリコン膜及び酸化膜のエッティング工程において、チャネル領域となるシリコン基板表面がエッティングされるとともに、そのシリコン基板表面がサイドウォールスペーサ形成時の酸化膜エッティング雰囲気に晒されることとなり、その結果、ゲート絶縁膜への欠陥発生、電子又はホール移動度低下によるトランジスタ電流の減少する、(i)ゲート長の決定を兼ねる拡散層のバーニングのためのフォトリソグラフィ工程が素子分離領域形成後に行われるため、わずかな段差や光学特性の差によって、露光時にくびれ等が生じ、レジストパターンの線幅が変動する、(j)ゲート電極と拡散層とを絶縁する必要があるため、拡散層となるポリシリコン膜は絶縁膜で覆われているが、この場合には、ゲート電極上と拡散層上に同時にTiSi<sub>2</sub>を形成するサリサイド技術を適用することができない(サリサイド技術は、ゲート長が0.25μm以下では必須と考えられている)、(k)ゲート電極と拡散層とが比較的薄い酸化膜(～0.1μm)を隔てて接しているため、ゲート電極-拡散層間の寄生容量が従来に比べ大きくなる、(l)素子分離領域上では、拡散層用のポリシリコン膜(例えば、0.1μm)及び酸化膜(例えば、0.1μm)が形成されており、さらにその上に、ゲート電極を構成するポリシリコン膜(例えば、0.2μm)が形成されるため、基板上の段差が、通常のCMOSの0.2μmに比較して約0.4μmと約2倍となる等の問題があった。

#### 【0015】

【課題を解決するための手段】本発明によれば、フィールド領域によって規定された半導体基板上にゲート絶縁膜を介して形成されたゲート電極、前記半導体基板内に形成されたソース/ドレイン領域を備えてなり、前記フ

ィールド領域は、少なくとも下層絶縁膜と該下層絶縁膜に対して選択エッティングが可能な材料で形成された上層絶縁膜とからなり、前記ゲート電極は、前記ソース/ドレイン領域間に配置するチャネル領域に對面する底面のゲート長よりもその上面のゲート長が長い形狀を有し、かつ前記ゲート電極の側壁に接するとともにチャネル領域の外周を被覆し、前記下層絶縁膜と前記上層絶縁膜に對して選択エッティングが可能な材料で形成された側壁絶縁層とからなるサイドウォールスペーサを有しており、前記チャネル領域は、ソース/ドレイン領域対してほぼ平坦であるMOSトランジスタが提供される。

【0016】また別の観点から、本発明によれば、(i)半導体基板上全面に下層絶縁膜と上層絶縁膜とを形成し、前記上層絶縁膜であってチャネル領域周辺上に前記下層絶縁膜に至る開口を形成し、(ii)前記上層絶縁膜の開口側壁に、上層絶縁膜に対して選択エッティングが可能な材料からなる側壁絶縁層を形成するとともに、該側壁絶縁層下以外の開口底部に存在する前記下層絶縁膜を除去して前記半導体基板を露出させ、(iii)該露出した半導体基板上にゲート絶縁膜を形成し、(iv)前記ゲート絶縁膜上であって少なくとも前記側壁絶縁層の一部を被覆するようにゲート電極を形成し、(v)ソース/ドレイン領域を形成すべき領域上の上層絶縁膜を除去してサイドウォールスペーサを形成する工程を含むMOSトランジスタの製造方法が提供される。

#### 【0017】

【発明の実施の形態】本発明のMOSトランジスタは、半導体基板上に形成されるものであり、半導体基板としては、例えば、シリコン基板を用いることが好ましい。半導体基板上にはフィールド領域が形成されており、これによってMOSトランジスタを形成すべき領域が規定されており、必要に応じて、P型ウェル又はN型ウェルが1個以上形成されていてもよい。

【0018】フィールド領域は、少なくとも下層絶縁膜と上層絶縁膜とからなる。下層絶縁膜としては、シリコン酸化膜、シリコン窒化膜等の単層膜、シリコン窒化膜/シリコン酸化膜、シリコン酸化膜/シリコン窒化膜等の2層膜、ONO膜等の3層膜等が挙げられる。なかでも、シリコン窒化膜/シリコン酸化膜の2層膜が好ましい。この場合の膜厚は、絶縁膜として有効に機能し、かつエッティングストッパーとして十分機能する膜厚であればよく、例えば、シリコン窒化膜/シリコン酸化膜の2層膜の場合には、5～50nm程度/5～30nm程度が好ましい。

【0019】上層絶縁膜としては、下層絶縁膜と同様の材料のうち、下層絶縁膜に対して選択エッティングが可能な材料で形成された膜を用いることができる。ここで、下層絶縁膜に対して選択エッティングが可能な材料とは、公知のエッティング方法、例えば反応性イオンエッティング法等の公知のエッティング方法で上下層絶縁膜を同時にエ

ッチングした場合、エッチングレートが下層絶縁膜：上層絶縁膜=1:5~1:30程度となるように、原料及び成膜方法等を選択して形成された材料を意味する。例えば、下層絶縁膜がシリコン塗化膜／シリコン酸化膜の2層膜である場合には、下層絶縁膜表面のシリコン塗化膜に対して選択エッチングが可能なシリコン酸化膜が好ましい。この場合の上層絶縁膜の膜厚は、下層絶縁膜とともにフィールド領域として有効に機能する膜厚であればよく、例えば、100~300nm程度が好ましい。

【0020】半導体基板上であって、フィールド領域が形成されていない領域上の一部にゲート絶縁膜を介してゲート電極が形成されている。ゲート絶縁膜としては、シリコン酸化膜を15~60Å程度の膜厚で用いることが好ましい。また、ゲート電極としては、ポリシリコン、高融点金属のシリサイド、これらシリサイドとポリシリコンとのポリサイド等の単層膜又は2層以上の膜を用いることができる。例えば、ポリシリコンの場合には、膜厚50~300nm程度で用いることが好ましく、ポリサイドの場合には、膜厚50~200nm程度のポリシリコン膜上に膜厚50~200nm程度のTi、Ta、W等の高融点金属シリサイド膜を形成して用いることが好ましい。

【0021】ゲート電極は、チャネル領域に對面する底面のゲート長よりもその上面のゲート長が長い形狀を有している。つまり、ゲート電極の側壁の少なくとも下側が直線的、曲線的又は階段状にその内部に入り込んだ形狀、つまり凹部を有している。凹部は、左右対称に形成されていることが好ましいが、非対称であってもよい。なお、ゲート電極の側壁全てに渡って内部に入り込んだ形狀であってもよいが、側壁の上側の一部が基板表面に對して垂直に形成されていることが好ましい。チャネル領域に對面する底面のゲート長は、その上面のゲート長より100~300nm細いことが好ましい。具体的には、チャネル領域に對面する底面のゲート長が0.05~0.3μm程度、その上面のゲート長が0.35~0.4μm程度であるが、さらにゲート長の短いゲート電極とすることも可能である。

【0022】ゲート電極の側壁には、MOSトランジスタのチャネル領域の外周を被覆し、ゲート電極に接するサイドウォールスペーサが形成されている。このサイドウォールスペーサは、上述したゲート電極の凹部に形成されていることが好ましい。サイドウォールスペーサは、フィールド領域を構成する下層絶縁膜と、この下層絶縁膜上に形成された側壁絶縁層とからなる。側壁絶縁層としては、上述の上層絶縁膜に対して選択エッチングが可能な材料であれば、下層絶縁膜と同様の単層膜、2層膜又は3層膜等を使用することができる。つまり、上層絶縁膜がシリコン酸化膜の場合には、絶縁層はシリコン塗化膜の単層膜で形成されていてもよい。(図9中、16b参照)。しかし、下層絶縁膜との選択比を考慮する

と、絶縁層は、ゲート電極の凹部に配置したシリコン酸化膜と、このシリコン酸化膜を被覆するように形成されたシリコン塗化膜とで構成されていることが好ましい。また、その際の側壁絶縁層の形狀は、半導体基板表面に對してほぼ垂直となる面を有するように形成されていることが好ましい。サイドウォールスペーサの厚みは、ゲート電極の線幅に応じて適宜調節することができるが、半導体基板直上の最大厚で50~150nm程度が好ましい。

【0023】半導体基板内であって、フィールド領域が形成されていない領域の一部にはソース／ドレイン領域が形成されており、これらソース／ドレイン領域間であって、ゲート電極下にはチャネル領域が配置されている。これらソース／ドレイン領域及びチャネル領域が配置する半導体基板の表面は、ほぼ平坦である。ソース／ドレイン領域は、不純物イオン、例えばリン、砒素、又はボロンイオン等を、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の濃度で含む領域であることが好ましく、LDD構造を有していてもよい。

【0024】本発明のMOSトランジスタの製造方法においては、工程(i)で、まず、半導体基板上全面に下層絶縁膜と上層絶縁膜とを形成する。例えば下層絶縁膜としてシリコン酸化膜及びシリコン塗化膜を順次形成し、さらに上層絶縁膜としてシリコン酸化膜を形成する。シリコン酸化膜は、熱酸化法、常圧CVD法又は減圧CVD法等により形成することができ、シリコン塗化膜は、常圧CVD法又は減圧CVD法等により形成することができる。続いて、上層絶縁膜であってチャネル領域周辺上に下層絶縁膜に至る開口を形成する。開口を形成する方法としては、フォトリソグラフィ及びエッチング工程等の公知の方法により、上記開口に対応する開口を有するレジストパターンを形成し、これをマスクとして用いて、上層絶縁膜のみ選択エッチング可能な条件での反応性イオンエッチング法によりエッチングする方法が挙げられる。具体的には、下層絶縁層がシリコン塗化膜、上層絶縁層がシリコン酸化膜の場合、誘導結合型プラズマによる酸化膜エッチング装置(例えばAMAT社製、HDP-5300)によりCH<sub>2</sub>F<sub>2</sub>／C<sub>3</sub>F<sub>8</sub>／Ar系ガスにより、圧力5mTorr程度でエッチングすればよい。このように、下層絶縁膜に、上層絶縁膜よりもエッチングレートの小さい材料の膜を配置することにより、選択的に上層絶縁膜のみをエッチングして、下層絶縁膜に至る開口を形成することができる。この開口の形成は、後工程のサイドウォールスペーサの形成とともに、ゲート長を決定する工程となる。

【0025】工程(ii)においては、上層絶縁膜の開口側壁に側壁絶縁層を形成する。まず、開口を含む上層絶縁膜上に、側壁絶縁層形成用の絶縁層を形成する。ここでの絶縁層は、工程(i)における上層絶縁膜に対して選択エッチングが可能な材料で構成されることが好ましい。

例えば、上層絶縁膜がシリコン酸化膜で形成される場合には、絶縁層として、上層絶縁膜であるシリコン酸化膜に対してエッティングストッパーの機能を有するシリコン塗化膜の薄膜を予め上層絶縁膜上全面に形成し、その上にシリコン酸化膜を形成することが好ましい。また、選択的にエッティングする方法を選ぶことにより、絶縁層としてシリコン塗化膜の単一層を使用することもできる。次いで、絶縁層を異方性エッティングでエッチバックすることにより、絶縁層の一部を開口の側壁上にのみ残して側壁絶縁層を形成する。この際、絶縁層の材料は、上層絶縁膜に対して選択的にエッティングできる材料であるため、オーバーエッティングによる半導体基板のダメージを防止することができる。なお、ここで形成される側壁絶縁層は、最終的に形成するサイドウォールスペーサーの一部であるが、上述のように、この際の側壁絶縁層を形成する絶縁層の膜厚で、最終的なゲート長 $L$ を調節することとなる。続いて、この側壁絶縁層下以外の開口底部に存在する下層絶縁膜を除去して半導体基板を露出させる。下層絶縁膜を除去する方法としては、反応性イオンエッティング等のドライエッティング法又はウェットエッティング法等が挙げられる。例えば、下層絶縁膜としてシリコン塗化膜／シリコン酸化膜を使用する場合には、まず、シリコン塗化膜を選択的にエッティング除去することができる方法、例えば、マグネットロンプラズマによるSiNエッティング装置（例えばAMAT社製、P-5000）によりCH<sub>3</sub>F/O<sub>2</sub>/Ar系ガスにより、圧力100mTorr程度でエッティングし、次いでフッ酸水溶液等を用いたウェットエッティング法によりシリコン酸化膜を除去する方法が挙げられる。このような方法を採用することにより、半導体基板をオーバーエッチすることなく、ダメージを防止することができる。

【0026】工程(iii)において、露出した半導体基板上にゲート絶縁膜を形成する。ゲート絶縁膜は、非常に薄く形成するために、例えば700~1000°C程度の熱酸化、塩酸酸化により形成することが好ましい。ゲート絶縁膜を形成する前には、必要に応じて半導体基板表面のRCAクリーニング等の洗浄工程及び rinsing工程等を行ってもよい。また、ゲート絶縁膜は、ゲート電極から半導体基板への不純物の拡散を抑制するために、ゲート絶縁膜／半導体基板界面において、窒素を1~数%含有していてもよい。この場合には、ゲート絶縁膜を形成した後、例えばN<sub>2</sub>Oを数%~90%含有する雰囲気、800~1000°C、5分~1時間程度のアニュール処理を行えばよい。

【0027】工程(iv)において、ゲート絶縁膜上にゲート電極を形成する。まず、ゲート絶縁膜上を含む半導体基板上全面に、例えばポリシリコン等からなるゲート電極材料を積層し、次いで公知の方法、例えばフォトリソグラフィ及びエッティング工程でパターニングすることにより、所望の形状を有するゲート電極を形成する。ポリ

シリコンは、例えば常圧CVD法又は減圧CVD法等により形成し、必要に応じてP型又はN型の不純物イオンをドーピングすることが好ましい。ここでのゲート電極材料のパターニングは、アライメントマージンAMとサイドウォールスペーサーの幅SWとを考慮して、ゲート電極の幅 $L_s$ （ゲート電極上面のゲート長：図10参照）を、ゲート長 $L_b$ （チャネル領域に對面底面のゲート長）よりも少なくとも $2(AM-SW)$ だけ大きくすればよく、ゲート長 $L_b$ より $2AM$ だけ大きいことが好ましい。つまり、少なくとも側壁絶縁層の一部を被覆するようにゲート電極材料をパターニングすることが好ましい。また、ここでのパターニングは、ゲート電極材料下に比較的厚い上層絶縁膜が形成されているため、上層絶縁膜に対する選択比がそれほど大きくなる条件を選ばなくてよい。さらに、ここでのパターニングは直接ゲート長を決定する工程ではないため、厳しい精度は要求されない。例えば、従来の方法においては反射率の極めて高いポリシリコン上で、最少線幅の約10%以下の線幅制御精度を要求されていたが、ここでのパターニングにおいては、最少線幅の約30%以下の線幅制御精度でよい。なお、ゲート電極をパターニングする際には、同時に外部配線との接続部や他のトランジスタのゲート電極との接続部を形成してもよい。

【0028】工程(v)においては、ソース／ドレイン領域を形成すべき領域上の上層絶縁膜を除去する。この際の上層絶縁膜は、例えば工程(i)における開口形成のためのエッティングと同様の方法で選択的に上層絶縁膜のみをエッティング除去する。この方法により、半導体基板表面をオーバーエッティングから守ることができる。この際のエッティングでは、ゲート電極下に配置する上層絶縁膜までも十分に除去することができない場合がある。その場合には、続いてHF水溶液等を使用するウェットエッティングによって、ソース／ドレイン領域を形成すべき領域上の上層絶縁膜を完全に除去することができる。これらエッティングによって、ゲート電極パターニングの際のアライメントずれがなければ、ゲート電極はオーバーハング形状になる。そして、その凹部には、下層絶縁膜及び側壁絶縁層からなるサイドウォールスペーサーが配置することとなる。

【0029】本発明のMOSトランジスタの製造方法においては、上記(i)~(v)の工程の後、さらに、ソース／ドレイン領域形成のためのイオン注入を行うことが好ましい。この際のイオン注入は所望の不純物濃度、深さ、形状のソース／ドレイン領域となる拡散層を形成することができるならば、そのドーズ量、注入エネルギー、注入角度、注入回数等について特に限定されるものではない。しかし、上述したように、最終的に得られるゲート電極の形状がオーバーハング形状の場合には、所定の角度傾斜してイオン注入することが好ましく、さらに傾斜角度を変化させて複数回イオン注入することが好

ましい。たとえば、NMOSトランジスタを形成する場合、ゲート電極及びサイドウォールスペーサをマスクとして用いて、砒素等のイオンを、まず、図10に示したように、 $\theta_1$ 以上の角度、30～150keV程度注入エネルギー、 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度のドーズでの第1イオン注入を行う。次いで、砒素、リン等のイオンを、図11に示したように、 $\theta_2$ 以上の角度、50～200keV程度注入エネルギー、 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズでの第2イオン注入を行うことが好ましい。一方、PMOSトランジスタを形成する場合、ゲート電極及びサイドウォールスペーサをマスクとして用いて、ボロン等のイオンを、まず、図10に示したように、 $\theta_1$ 以上の角度、5～40keV程度注入エネルギー、 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度のドーズでの第1イオン注入を行う。次いで、ボロン等のイオンを、図11に示したように、 $\theta_2$ 以上の角度、10～50keV程度注入エネルギー、 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズでの第2イオン注入を行うことが好ましい。ここで、角度 $\theta_1$ とは、 $\tan \theta_1 = \text{サイドウォールスペーサ端からゲート電極端までの距離} S_G / \text{サイドウォールスペーサの高さ} S_h$ となるような角度であり、また、角度 $\theta_2$ とは、 $\tan \theta_2 = \text{チャネル領域に} \text{対面する底面のゲート電極端から上面のゲート電極端までの距離} B_S / \text{サイドウォールスペーサの高さ} S_h$ となる角度である。なお、斜め注入を、 $1 \times 10^{15}$ を越えるドーズで行った場合には注入に時間を要し、生産性が悪くなる場合がある。かかる場合には、不純物のドーズと注入角度を適宜調節しながらイオン注入することが好ましい。イオン注入後は、例えば800～1000°C、1分～60分間程度熱処理を行うことが好ましい。また、900～1200°C、1秒～60秒間の急速熱処理を行ってもよい。

【0030】この後は、公知の工程、例えば層間絶縁膜の形成、コンタクトホールの形成、配線層の形成等を行ってMOSトランジスタを完成させる。層間絶縁膜としてはSiN、SiO<sub>2</sub>、BSG、BPSG、SOG等を、例えば常圧CVD、減圧CVD、プラズマCVD法等により形成することができ、層間絶縁膜の形成後、300～900°C程度、1分～60分間程度の熱処理、又は1000°C、30秒間程度の急速熱処理を行ってもよい。

【0031】また、本発明のMOSトランジスタの製造方法においては、上記(i)～(v)の工程の間に、任意にしきい値電圧の制御、チャネルストッパー又はパンチスルーストッパー、カウンタードーピング等のためにイオン注入をしてもよい。具体的には、上記工程(i)の後にイオン注入を行うことが好ましい。PMOSトランジスタの場合には、NMOSトランジスタ形成領域を覆うレジストを形成し、まず、チャネルストッパーを形成するため(異なるNMOSトランジスタ間の分離のため)、P型不純物イオンを上層絶縁膜を介して、注入ピークが半導体基板表面付近にくるように注入する。例えば、ボロンイオン、30～

N型不純物イオンを上層絶縁膜を介して、注入ピークが半導体基板表面付近にくるように注入する。例えば、リンイオン、80～300keV程度の注入エネルギー、 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ( $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度)である。このイオン注入により、PMOSトランジスタのチャネル領域付近では、上層絶縁膜が除去されているために、不純物イオンが半導体基板内部に注入され(図13中、B)、ソース/ドレイン形成領域では不純物イオンが半導体基板表面に注入される(図12中、A)。また、この際、ラッチアップ対策としてウエル抵抗を下げるため、例えばリンイオンを、250～600keV程度の注入エネルギー、 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ( $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度)で、深いウエル注入を行ってもよい(図12中、C及び図13中、D)。さらに、PMOSトランジスタの閾値電圧を制御すために、N型不純物イオンを上層絶縁膜を介して、注入ピークがチャネル領域近傍において半導体基板表面にくるように注入する。例えば、砒素イオンを、20～200keV程度の注入エネルギー、 $1 \times 10^{12} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ( $3 \times 10^{17} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度)である。このイオン注入により、PMOSトランジスタのチャネル領域では、その表面層に不純物イオンが注入され(図13中、E)、チャネル領域以外の領域では、上層絶縁膜が形成されているために、不純物イオンがほとんど半導体基板内部に注入されない。なお、これらのイオン注入は单一のエネルギー、单一のイオン種で行なう必要はなく、複数回の注入によって、異なる深さに燐、砒素等異なるN型不純物を注入してもよい。また、埋め込みチャネル型PMOSトランジスタを形成する場合には、カウンタードーピングとして、P型不純物イオンを上層絶縁膜を介して、注入ピークが上述のチャネル領域のさらに表面層にくるように注入するしてもよい。例えば、ボロンイオン、5～20keV程度の注入エネルギー、 $2 \sim 8 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ( $3 \times 10^{17} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度)である。このイオン注入により、PMOSトランジスタのチャネル領域では、さらに表面層に不純物イオンが注入され(図13中、F)、チャネル領域以外の領域では、不純物イオンがほとんど半導体基板内部に注入されない。なお、これらのイオン注入は单一のエネルギー、单一のイオン種で行なう必要はなく、複数回の注入によって、異なる深さにB、F<sub>2</sub>イオン等異なるP型不純物を注入してもよい。

【0032】NMOSトランジスタの場合には、PMOSトランジスタ形成領域を覆うレジストを形成し、まず、チャネルストッパーを形成するため(異なるNMOSトランジスタ間の分離のため)、P型不純物イオンを上層絶縁膜を介して、注入ピークが半導体基板表面付近にくるように注入する。例えば、ボロンイオン、30～

130 keV程度の注入エネルギー、 $1 \times 10^{12} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズである。このイオン注入により、NMOSトランジスタのチャネル領域付近では、上層絶縁膜が除去されているために、不純物イオンが半導体基板内部に注入され、ソース／ドレイン形成領域では不純物イオンが半導体基板表面に注入される。また、この際、ラッチャップ対策としてウエル抵抗を下げるため、例えばボロンイオン、100～300 keV程度の注入エネルギー、 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズで、深いウエル注入を行ってもよい。さらに、NMOSトランジスタの閾値電圧を制御するために、P型不純物イオンを上層絶縁膜を介して、注入ピークがチャネル領域近傍において半導体基板表面にくくにくるように注入する。例えば、ボロンイオンを5～20 keV程度の注入エネルギー、 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズである。このイオン注入により、NMOSトランジスタのチャネル領域では、その表面層に不純物イオンが注入され、チャネル領域以外の領域では、上層絶縁膜が形成されているために、不純物イオンがほとんど半導体基板内部に注入されない。なお、これらのイオン注入は単一のエネルギー、単一のイオン種で行なう必要はなく、複数回の注入によって、異なる深さにBF<sub>2</sub>等異なるP型不純物を注入していよい。

【0033】上記のように工程(i)の後にイオン注入を行う場合、1回のマスク形成工程によって、チャネル領域近傍の不純物濃度分布とその他の半導体基板内部の不純物濃度分布を独立に制御できる。一般にチャネル領域近傍はトランジスタの閾値電圧制御や短チャネル効果制御のため、ゲート長やゲート絶縁膜の膜厚によって、一定レベルの比較的高い濃度（ゲート長0.4～0.5 μm以下では約 $1 \times 10^{17} \text{ cm}^{-3}$ 以上）に調節する必要がある。従来技術の方法では、ソース／ドレイン領域下及びその他の半導体基板内部の不純物濃度は、マスク形成工程を追加しなければ独立に制御することができなかつた。よって、マスク形成工程を追加することなくイオン注入を行った場合には、ソース／ドレイン領域近傍とチャネル領域近傍とが同一不純物濃度となり、ソース／ドレイン領域の接合部における容量が大きくなっていた。一方、マスク形成工程を追加して、チャネル領域近傍に独立にイオン注入を行ない、不純物濃度の制御を行なつたとしても、マスク形成工程の位置合わせ余裕を充分とるために、どうしてもチャネル領域近傍とソース／ドレイン領域近傍との重なり部分が増加し、容量増加を制御する効果は減少してしまう。しかし、上記イオン注入では、図12及び図13に示したように、マスク工程を増加させることなく、チャネル領域近傍にのみ高濃度領域を形成することができる。また、チャネルストッパーのためのイオン注入は、チャネル領域近傍では深い部分に注入されるとともに、不純物濃度もチャネル領域近傍よりも低くすることができるため、トランジスタ特性には

あまり影響を与えない。さらに、後の工程であるソース／ドレイン領域形成のためのイオン注入を、チャネルストッパー領域を全て覆うように形成する（図12中、G）か、少なくとも高濃度部分を覆うように形成すれば（図12中、H）、ソース／ドレイン領域下の不純物濃度を大幅に低減でき、ソース／ドレイン領域の接合部における容量を著しく低減することができる。

【0034】以下に本発明のMOSトランジスタ及びその製造方法を図面に基づいて説明する。

#### 実施の形態1

本発明のMOSトランジスタは、図1(a)及び(b)に示したように、フィールド領域によって規定された半導体基板であるシリコン基板1上に、主としてゲート絶縁膜17を介して形成されたゲート電極19と、ソース／ドレイン領域31とからなる。フィールド領域は、下層絶縁膜としてシリコン塗化膜3/シリコン酸化膜2の積層膜と、上層絶縁膜としてシリコン酸化膜4とからなる。ゲート電極19は、チャネル領域に面する底面のゲート長よりもその上面のゲート長が長い形状を有しており、その側壁の一部にサイドウォールスペーサ16を有している。サイドウォールスペーサ16は、チャネル領域の外周を被覆するとともに、下層絶縁膜であるシリコン塗化膜3/シリコン酸化膜2と、側壁絶縁層として内側のシリコン酸化膜及び外側のシリコン塗化膜15とからなる。また、ソース／ドレイン領域31は、チャネル領域とほぼ平坦に形成されている。

【0035】上記MOSトランジスタの製造方法を説明する。まず、図2(a)に示したように、シリコン基板1上に、下層絶縁膜として、熱化法又はCVD法により10 nm程度のシリコン酸化膜2、CVD法により10 nm程度のシリコン塗化膜3を、さらに上層絶縁膜として200 nm程度のシリコン酸化膜4を順次形成する。

【0036】次いで、フォトリソグラフィ及びエッチング工程により、i線ステッパーを用いて、NMOSトランジスタ形成領域5及びPMOSトランジスタ形成領域6におけるNMOSチャネル領域5a及びPMOSチャネル領域6aに、それぞれ最小幅0.35 μm、0.45 μmの開口部を有するレジストパターン7（図7(a)参照）を形成する。このレジストパターン7をマスクとしてシリコン酸化膜4を誘導プラズマ方式を採用した反応性イオンエッチング法でエッチングすることにより、図2(b)に示したように、各チャネル領域5a、6a上のシリコン酸化膜4に開口を形成する。この際のエッチング方法においては、SiO<sub>2</sub>/SiN選択比が10以上得られるため、シリコン酸化膜4のエッチングにおいて約30%のオーバーエッチングが行われても、シリコン塗化膜3のエッチング量が約6 nm以下となり、シリコン塗化膜3が十分エッチングストッパーとしての機能を果たす。よって、シリコン基板1のダメージは防止することができる。また、この際に規定するチャネル領

域5 a、6 aの線幅が、後工程でのサイドウォールスペーサ形成とともに、ゲート長を決定することとなる。

【0037】次いで、図2 (c) に示したように、NMOSトランジスタ形成領域を覆うレジスト8を形成し、PMOSトランジスタ形成領域6に、N型不純物であるリンイオン9を、 $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、 $180\text{ keV}$ 程度の注入エネルギーで、注入ピークがシリコン酸化膜4下のシリコン基板1表面付近にくるようにイオン注入を行った。このイオン注入はPMOSトランジスタのチャネルストップ注入となる。なお、PMOSチャネル領域6 a上ではシリコン酸化膜4が除去されているため、この際のイオンはシリコン基板1内部に注入されることとなる。続いて、埋め込みチャネル型PMOSトランジスタの閾値電圧を制御するために、シリコン基板1におけるPMOSチャネル領域6 aの表面付近に、P型不純物であるボロンイオン10を、 $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、 $7\text{ keV}$ 程度の注入エネルギーでカウンター注入するとともに、ボロンイオン10よりも内部にN型不純物として砒素イオン11を $5 \times 10^{13}/\text{cm}^2$ 程度のドーズ、 $180\text{ keV}$ 程度の注入エネルギーで注入した。この際のボロンイオン10及び砒素イオン11は、PMOSチャネル領域6 a以外の領域においてはシリコン酸化膜4に注入されることとなり、シリコン基板1の表面にはほとんど注入されない。

【0038】次に、レジスト8を除去し、図2 (d) に示したように、PMOSトランジスタ形成領域6を覆うレジスト12を形成し、NMOSトランジスタ形成領域5に、ボロンイオン13を $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、 $65\text{ keV}$ 程度の注入エネルギーで、注入ピークがシリコン酸化膜4下のシリコン基板1表面付近にくるようにイオン注入を行った。このイオン注入はNMOSトランジスタのチャネルストップ注入となる。なお、NMOSチャネル領域5 a上ではシリコン酸化膜4が除去されているため、この際のイオンはシリコン基板1内部に注入されることとなる。続いて、表面チャネル型NMOSトランジスタの閾値電圧を制御するために、シリコン基板1におけるNMOSチャネル領域5 aの表面付近に、ボロンイオンを、 $5 \times 10^{12}/\text{cm}^2$ 程度のドーズ、 $7\text{ keV}$ 程度の注入エネルギー、及び $1 \times 10^{13}/\text{cm}^2$ 程度のドーズ、 $30\text{ keV}$ 程度の注入エネルギーでイオン注入した。この際のボロンイオン13は、NMOSチャネル領域5 a以外の領域においてはシリコン酸化膜4に注入されることとなり、シリコン基板1の表面にはほとんど注入されない。

【0039】その後、図3 (e) に示したように、開口を有するシリコン酸化膜4を含むシリコン基板1上全面に $10\text{ nm}$ 程度の薄いシリコン窒化膜15を堆積する。さらに、図3 (f) に示したように、 $120\text{ nm}$ 程度のシリコン酸化膜を減圧CVD法で堆積し、これを反応性エッティング法を用いた異方性エッティングでエッチバック

し、シリコン酸化膜4の開口側壁上にのみシリコン酸化膜 $16\text{ a}$ を残す。この時点で、開口底部でのシリコン酸化膜 $16\text{ a}$ の膜厚は約 $100\text{ nm}$ となった。

【0040】次に、チャネル領域5 a、6 a上に存在し、シリコン酸化膜 $16\text{ a}$ に覆われていないシリコン窒化膜15を反応性イオンエッティング法にてエッティング除去してシリコン窒化膜15とシリコン酸化膜 $16\text{ a}$ とからなる側壁絶縁膜を形成するとともに、続けてシリコン窒化膜3をエッティング除去する。これにより、開口底面において、シリコン酸化膜2が露出する。さらに、得られたシリコン基板1を洗浄工程に付し、フッ素水溶液で開口底部に存在するシリコン酸化膜2をエッティング除去し、RCAクリーニングを行う。その後、約 $800\text{ }^\circ\text{C}$ の塩酸酸化によって、図3 (g) に示したように、膜厚 $5\text{ nm}$ 程度のゲート絶縁膜17を形成した。

【0041】次いで、図3 (h) に示したように、膜厚 $200\text{ nm}$ 程度のポリシリコン18を公知の減圧CVD技術を用いてシリコン基板1上全面に堆積し、N型不純物としてリンを $1 \sim 2 \times 10^{20}/\text{cm}^3$ 程度の濃度で公知の技術によって拡散させた。続いて、公知のリソグラフィ及びエッティング工程によりレジストパターンを形成し、このレジストパターンをマスクとして用いて、図4 (i) に示したように、反応性イオンエッティング法にてポリシリコン膜18をパターニングし、開口を完全に覆う、開口よりも $0.1\text{ }\mu\text{m}$ 幅の広い $0.45\text{ }\mu\text{m}$ 幅のNMOSトランジスタゲート電極19及び $0.55\text{ }\mu\text{m}$ 幅のPMOSトランジスタゲート電極20を形成する。なお、ゲート電極19、20のパターンは、チャネル領5 a、6 aの外側に、外部配線との接続部19 a、20 a又は他のトランジスタのゲート電極との接続配線等を同時に形成したもの（図7 (b) 参照）を使用する。

【0042】次いで、図4 (j) に示したように、フォトリソグラフィ及びエッティング工程によりNMOSトランジスタ形成領域5及びPMOSトランジスタ形成領域6内に開口部21 aを有するレジスト21（図8 (c) 参照）を形成する。これら開口部21 aは、NMOSトランジスタ形成領域5に形成される場合（NMOSトランジスタのソース／ドレイン領域となる場合）には、チャネル領域5 aの端部を内包してはならない。また、PMOSトランジスタ形成領域6に形成される場合（コンタクト領域となる場合）には、チャネル領域6 aやゲート電極20と重なってはならない。このレジスト21をマスクとしてシリコン酸化膜4をエッティング除去し、酸化膜開口部22を形成する。この際、シリコン酸化膜4のエッティングはシリコン窒化膜3で停止するのが好ましい。

【0043】続いて、図4 (k) に示したように、レジスト21を残したまま、HF水溶液によるシリコン酸化膜4エッティングを行ない、ゲート電極19下に残存するシリコン酸化膜4をエッティング除去する。これによりア

ライメントずれがなければゲート電極19がシリコン塗化膜15の外側にはみ出したオーバーハング形状となる。さらに、レジスト21をマスクとして用いて、砒素イオンを、 $4 \times 10^{15}/\text{cm}^2$ 程度のドーズ、90 keVの注入エネルギー、基板表面の法線方向に対して35°の注入角度でイオン注入し、砒素注入層25を形成した。注入は90度ステップで4回に分けて行なった。なお、45度ステップで8回に分けて行ってもよい。本実施の形態ではゲート電極19パターニング時のパターンずれの最大値が0.1 μmであり、ずれがない場合のオーバーハング量が0.05 μmであるため、最悪の場合のオーバーハング量が0.15 μmとなる。また、ゲート電極の高さが0.22 μmであることから、注入角度θ1は以下の関係より34.3度となる。

$$【0044】 \tan \theta_1 = 0.15 / 0.22$$

次いで、図4 (l) に示したように、レジスト21を残したまま、引き続き砒素イオンを、 $1 \times 10^{13}/\text{cm}^2$ 程度のドーズ、150 keV程度の注入エネルギー、基板表面の法線方向に対して60°程度の注入角度でイオン注入し、低濃度の砒素注入層26を形成する。注入は90度ステップで4回に分けて行なった。この際のイオン注入は、アライメントずれ、露光機間のレンズディストーションの差によってゲート電極19パターンがチャネルパターンに対して最も大きくパターンずれを起こし、オーバーハング量が最も大きくなつた状態においても、砒素イオンがシリコン塗化膜15及びシリコン塗化膜16aからなる側壁絶縁層下に注入される角度θ2より大きい角度であることが望ましい。この場合、パターンずれの最大値が0.1 μmであり、ずれがない場合のオーバーハング量が0.05 μmであるため、最悪の場合のオーバーハング量が0.15 μmとなる。サイドウォール厚さが0.1 μmであり、ゲート電極の高さが0.22 μm、イオンの注入深さの目安を0.03 μmとすると、注入角度θ2は以下の関係より45.0度となる。

$$【0045】 \tan \theta_2 = (0.1 + 0.1 + 0.05) / (0.22 + 0.03) = 0.25 / 0.25$$

次に、図5 (m) に示したように、図4 (j) 及び図8 (c) に示したのと同様に、PMOSトランジスタ形成領域6及びNMOSトランジスタ形成領域5内に開口部27aを有するレジスト27 (図8 (d) 参照) を形成する。これら開口部27aは、PMOSトランジスタ形成領域6に形成される場合 (PMOSトランジスタのソース・ドレインとなる場合) には、チャネル領域6aの端部を内包してはならない。また、NMOSトランジスタ形成領域5に形成される場合 (コンタクト領域となる場合) には、チャネル領域5aやゲート電極19と重なつてはならない。このレジスト27をマスクとしてシリコン酸化膜4をエッチング除去し、酸化膜開口部28を形成する。

【0046】 続いて、図5 (n) に示したように、レジスト27を残したまま、HF水溶液によるシリコン酸化膜4エッチングを行ない、ゲート電極20下に残存するシリコン酸化膜4をエッチング除去する。これによりアライメントずれがなければゲート電極20がシリコン塗化膜15の外側にはみ出したオーバーハング形状となる。さらに、レジスト27をマスクとして用いて、ボロンイオンを、 $4 \times 10^{15}/\text{cm}^2$ 程度のドーズ、15 keVの注入エネルギー、基板表面の法線方向に対して35°の注入角度でイオン注入し、ボロン注入層29を形成した。注入は90度ステップで4回に分けて行なつた。この場合、最悪のパターンずれが起きた場合、0.05~0.1 μm程度の領域がP+領域にならぬこととなり、この領域は後で述べるP-注入のみで拡散領域が形成されるため抵抗が高くなる。しかしこの場合でもこの抵抗による電圧降下は0.1 V程度と小さくロジック動作では大きな問題はない。

【0047】 次いで、図5 (o) に示したように、レジスト27を残したまま、引き続きボロンイオンを、 $8 \times 10^{13}/\text{cm}^2$ 程度のドーズ、25 keV程度の注入エネルギー、基板表面の法線方向に対して60°程度の注入角度でイオン注入し、低濃度のボロン注入層30を形成する。注入は90度ステップで4回に分けて行なつた。

【0048】 さらに、図6 (p) に示したように、850°C、30分間の熱処理を行ない、LDD構造を有するN+ソース/ドレイン領域31及びP+ソース/ドレイン領域32を形成し、プラズマCVD法にて層間絶縁膜33を形成した。最後に、図6 (q) に示したように、層間絶縁膜33にコンタクトホールを形成した後、メタル配線34を形成する。

【0049】 以上の工程を経て、ゲート長が0.15 μm (実効ゲート長約0.1 μm) のNMOSトランジスタ及びゲート長が0.2 μm (実効ゲート長約0.1 μm) のPMOSトランジスタを形成した。

【0050】 上述のように、本実施の形態においては、製造コストが高い電子ビーム露光装置等の特殊な設備を用いることなくトランジスタを形成できた。ゲート電極を構成するポリシリコン電極幅は0.45 μmであり、従来工程で構成する場合の0.15 μmと比較して3倍大きく形成できるため、ゲート電極の抵抗は1/3となる。また、本実施の形態では閾値制御に必要な比較的濃度の高い ( $\sim 1 \times 10^{18}/\text{cm}^3$ ) チャネル領域がチャネル領域下にのみに形成され、ソース/ドレイン領域となる基板の表面濃度は比較的低い ( $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ ) ため、ソース/ドレイン領域間の容量が1/3から1/10に大幅に低減された。これは回路の動作速度向上に非常に有利である。さらに、上記製造方法では、チャネル領域形成パターン、ゲート電極パターン、Nウェル領域、Pウェル領域、N+領域、P+領域

域、コンタクトパターン、メタルパターンの8回のリソグラフィ工程でCMOS回路が非常に簡略化されている。

【0051】さらに、本構造のトランジスタではゲート長を決定するリソグラフィが全くフラットな構造上で行われるため、従来のように素子分離領域となる凹凸を有するLOCOS酸化膜パターン形成後にゲート電極パターンをリソグラフィで形成する場合に比べ、パターンのくびれ等の問題がなく、ゲート長の高精度制御が容易である。

#### 【0052】実施の形態2

本実施の形態では、チャネル領域へのイオン注入と、サイドウォールスペーサの形成との順序を入れ替えて行なう以外は、実施の形態1とはほぼ同様の方法である。

【0053】まず、図2(a)及び(b)の方法と同様にNMOSトランジスタ形成領域5及びPMOSトランジスタ形成領域6の各チャネル領域5a及び6aを形成する。次いで、図3(e)に示したように、シリコン窒化膜15を形成したのち、図3(f)に示したようにシリコン酸化膜16aを形成する。

【0054】続いて、図2(c)及び(d)に示したように、PMOSトランジスタ形成領域6に、不純物イオンを注入し、さらに、NMOSトランジスタ形成領域5に不純物イオンを注入する。この際、シリコン窒化膜15及びシリコン酸化膜16aからなる側壁絶縁層下のシリコン基板1表面には、イオンが注入されないため、トランジスタの閾値を決定する比較的濃度の高い領域が一層狭められ、ソースードレイン容量の低減効果が一層大きくなる。ただし、この場合は、イオンが注入されるチャネル領域が狭くなつて横方向への不純物拡散が顕著となり、チャネル領域中央部の不純物濃度が低下しやすいため、イオン注入のドーズを実施の形態1に比べて多くの必要がある。例えば、N型不純物であるリンイオン9を、 $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、180keV程度の注入エネルギーで、注入ピークがシリコン酸化膜4下のシリコン基板1表面付近にくるようにイオン注入を行い、続いて、埋め込みチャネル型PMOSトランジスタの閾値電圧を制御するために、シリコン基板1におけるPMOSチャネル領域6aの表面付近に、P型不純物であるボロンイオン10を、 $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、7keV程度の注入エネルギーでカウンター注入するとともに、ボロンイオン10よりも内部にN型不純物として砒素イオン11を $6 \times 10^{13}/\text{cm}^2$ 程度のドーズ、180keV程度の注入エネルギーで注入した(図2(c)参照)。

【0055】また、NMOSトランジスタ形成領域5に、ボロンイオン13を $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、65keV程度の注入エネルギーで、注入ピークがシリコン酸化膜4下のシリコン基板1表面付近にくるようにイオン注入を行い、続いて、表面チャネル型NMOSトランジスタの閾値電圧を制御するために、シリコン

基板1におけるNMOSチャネル領域5aの表面付近に、P型不純物であるボロンイオンを、 $6 \times 10^{12}/\text{cm}^2$ 程度のドーズ、7keV程度の注入エネルギー、及び $1.2 \times 10^{13}/\text{cm}^2$ 程度のドーズ、30keV程度の注入エネルギーでイオン注入した(図2(d)参照)。

【0056】その後、図3(g)～図6(q)に示したのと同様にMOSトランジスタを形成する。

#### 【0057】実施の形態3

本実施の形態においては、PMOSトランジスタを表面チャネル型PMOSトランジスタとする以外は、実施の形態1とはほぼ同様である。

【0058】まず、図14(a)に示したように、実施の形態1と同様に、シリコン基板1上に酸化膜2、シリコン窒化膜3及びシリコン酸化膜4を順次形成する。次いで、図14(b)に示したように、実施の形態1と同様に、NMOSトランジスタ形成領域5及びPMOSトランジスタ形成領域6のチャネル部となるNMOSチャネル領域5a及びPMOSチャネル領域6aに、それぞれ最小幅 $0.35\mu\text{m}$ となるようにシリコン酸化膜4に開口を形成する。表面チャネル型PMOSトランジスタは埋め込みチャネル型トランジスタに比べ、短チャネル効果が抑制されるため、PMOSトランジスタの最小ゲート長を実施の形態1のものよりも小さくすることができる。

【0059】次いで、図14(c)に示したように、NMOSトランジスタ形成領域を覆うレジスト8を形成し、PMOSトランジスタ形成領域6に、N型不純物であるリンイオン9を、 $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、180keV程度の注入エネルギーで、注入ピークがシリコン酸化膜4下のシリコン基板1表面付近にくるようにイオン注入を行った。続いて、表面チャネル型PMOSトランジスタの閾値電圧を制御するために、シリコン基板1におけるPMOSチャネル領域6aの表面付近に、N型不純物として砒素イオン11を $6 \times 10^{12}/\text{cm}^2$ 程度のドーズ、30keV程度の注入エネルギーで、及びリンイオンを $1 \times 10^{13}/\text{cm}^2$ 程度のドーズ、80keV程度の注入エネルギーで(砒素イオンを $1 \times 10^{13}/\text{cm}^2$ 程度のドーズ、180keV程度の注入エネルギーでもよい)注入した。

【0060】次に、レジスト8を除去し、図14(d)に示したように、実施の形態1と同様にPMOSトランジスタ形成領域6を覆うレジスト12を形成し、NMOSトランジスタ形成領域5に、ボロンイオン13を $4 \times 10^{12}/\text{cm}^2$ 程度のドーズ、65keV程度の注入エネルギーで、注入ピークがシリコン酸化膜4下のシリコン基板1表面付近にくるようにイオン注入を行った。続いて、表面チャネル型NMOSトランジスタの閾値電圧を制御するために、シリコン基板1におけるNMOSチャネル領域5aの表面付近に、P型不純物であるボロン

イオンを、 $5 \times 10^{12}/\text{cm}^2$  程度のドーズ、7 keV 程度の注入エネルギー、及び $1 \times 10^{13}/\text{cm}^2$  程度のドーズ、30 keV 程度の注入エネルギーでイオン注入した。

【0061】その後、図15 (e) に示したように、実施の形態1と同様に、シリコン基板1上全面にシリコン窒化膜15を堆積する。さらに、図15 (f) に示したように、実施の形態1と同様にシリコン酸化膜4の開口側壁上にのみシリコン酸化膜16aを残す。次に、チャネル領域5a、6a上に存在し、シリコン酸化膜16aに覆われていないシリコン窒化膜15を反応性イオンエッティング法にてエッティング除去してシリコン窒化膜15とシリコン酸化膜16aとからなる側壁絶縁膜を形成するとともに、続けてシリコン窒化膜3をエッティング除去する。これにより、開口底面において、シリコン酸化膜2が露出する。

【0062】図15 (g) に示したように、ゲート絶縁膜27を形成した。その後、N<sub>2</sub>O雰囲気中、800～1000°C、5分～1時間程度のアニールを行うことによって、ゲート絶縁膜27のゲート絶縁膜27/シリコン基板1界面に窒素を1～数%含有させた。これは、後の工程でPMOSトランジスタのゲート電極はボロンを拡散したポリシリコンで形成するため、ゲート絶縁膜27を通してボロンがチャネルに拡散し、トランジスタの閾値電圧の変動を引き起こさないようにするためにである。

【0063】次いで、図15 (h) に示したように、ポリシリコン18を公知の減圧CVD技術を用いてシリコン基板1上全面に堆積する。この際、ゲート電極の不純物ドーピングはソース/ドレイン領域形成のためのイオン注入時に同時にを行うため、ポリシリコン18堆積後に不純物拡散は行わない。続いて、実施の形態1と同様に、図16 (i) に示したように、ポリシリコン膜18をパターニングし、NMOSトランジスタゲート電極39及びPMOSトランジスタゲート電極40を形成する。

【0064】次いで、フォトリソグラフィ及びエッティング工程によりNMOSトランジスタ形成領域5及びPMOSトランジスタ形成領域6内に開口部41a、41bを有するレジスト41(図15 (a) 参照)を形成する。これら開口部41aは、NMOSトランジスタ形成領域5に形成されている場合(NMOSトランジスタのソース・ドレインとなる場合)には、チャネル領域5aの端部を内包しておらず、PMOSトランジスタ形成領域6に形成される場合(コンタクト領域となる場合)には、チャネル領域6aやゲート電極40と重なっていない。また、開口部41bは、PMOSトランジスタ形成領域6に形成されている場合(PMOSトランジスタのソース・ドレインとなる場合)には、チャネル領域6aの端部を内包しておらず、NMOSトランジスタ形成領

域5に形成される場合(コンタクト領域となる場合)には、チャネル領域5aやゲート電極39と重なっていない。このレジスト41をマスクとしてシリコン酸化膜4をエッティング除去し、酸化膜開口部42を形成する。これによりアライメントずれがなければゲート電極39がシリコン窒化膜15の外側にはみ出したオーバーハング形状となる。

【0065】続いて、図16 (k) に示したように、フォトリソグラフィ及びエッティング工程によりNMOSトランジスタ形成領域5及びPMOSトランジスタ形成領域6の一部に開口を有するレジストパターン43を形成する(図18 (b) 参照)。このレジストパターン43を用いて、砒素イオンを、 $4 \times 10^{15}/\text{cm}^2$  程度のドーズ、90 keVの注入エネルギー、基板表面の法線方向に対して35°の注入角度でイオン注入し、砒素注入層44を形成した。

【0066】次いで、図16 (l) に示したように、レジスト43を残したまま、引き続き砒素イオンを、 $1 \times 10^{13}/\text{cm}^2$  程度のドーズ、150 keV程度の注入エネルギー、基板表面の法線方向に対して60°程度の注入角度でイオン注入し、低濃度の砒素注入層45を形成する。その後、レジストパターン43を除去し、図17 (m) に示したように、フォトリソグラフィ及びエッティング工程によりPMOSトランジスタ形成領域6及びNMOSトランジスタ形成領域5の一部に開口を有するレジストパターン46を形成する(図18 (c) 参照)。このレジストパターン46を用いて、ボロンイオンを、 $4 \times 10^{15}/\text{cm}^2$  程度のドーズ、15 keVの注入エネルギー、基板表面の法線方向に対して35°の注入角度でイオン注入し、ボロン注入層47を形成した。

【0067】次いで、図17 (n) に示したように、レジスト46を残したまま、引き続きボロンイオンを、 $8 \times 10^{13}/\text{cm}^2$  程度のドーズ、25 keV程度の注入エネルギー、基板表面の法線方向に対して60°程度の注入角度でイオン注入し、低濃度のボロン注入層48を形成する。さらに、図17 (o) に示したように、実施の形態1と同様に熱処理を行い、LDD構造を有するN<sup>+</sup>ソース/ドレイン領域49及びP<sup>+</sup>ソース/ドレイン領域50を形成するとともに、NMOSトランジスタのゲート電極としてN型にドーピングされたN<sup>+</sup>ゲート電極39及びPMOSトランジスタのゲート電極としてP型にドーピングされたP<sup>+</sup>ゲート電極40を形成した。

【0068】本実施の形態は、実質的に実施の形態1で得られたMOSトランジスタを同様であるが、さらに、PMOSトランジスタのゲート長が0.15 μmに縮小され、ドライブ電流が改善されると共に、PMOSのゲート容量が40%程度低減された。ただし、本実施の形態ではチャネルパターン、ゲートパターン、Nウェル領

域、Pウエル領域、注入領域、N+領域、P+領域、コンタクトパターン、メタルパターンの9回のリソグラフィ工程が必要となり、実施の形態1より1回分増加する。

#### 【0069】実施の形態4

本実施の形態は、ソース／ドレイン領域及びゲート電極上に自己整合的に高融点金属シリサイド層を形成する以外実施の形態3のMOSトランジスタとほぼ同様である。

【0070】つまり、まず実施の形態3の図14(a)～図17(o)と同様にLDD構造を有するN+ソース／ドレイン領域49及びP+ソース／ドレイン領域50を形成した。

【0071】次いで、図19(a)に示したように、ソース／ドレイン領域49及び50上、つまり酸化膜開口部42内に存在するシリコン窒化膜3をドライエッチング法にてエッチング除去する。この際、ゲート電極39及び40、シリコン酸化膜4をできる限りエッチングしないことが望ましい。本実施の形態では、シリコンに対して選択比が大きい条件を適用し、ゲート電極39、40のエッチングを最小限に抑え、シリコン窒化膜3の若干のエッチングは許容した。次いで、HF水溶液で残ったシリコン酸化膜2をエッチングし、シリコン基板1の表面を露出する。

【0072】続いて、シリコン基板1上全面に、スパッタ法で10～50nmのチタン薄膜を堆積し、窒素雰囲気中、600～700℃の温度範囲で10秒～60秒間程度熱処理を行ない、その後、得られたシリコン基板1を硫酸過酸化水素混合溶液に浸して、シリコン酸化膜4上のチタンを溶解することにより、図19(b)に示したように、シリコン上、つまりゲート電極39、40及びソース／ドレイン領域49、50上にのみチタンシリサイド層51を形成する。以降の工程は実施の形態3と同様である。

【0073】本実施の形態では、ゲート電極がシリサイド化されるため、ポリシリコン電極の場合に比べ大幅に低抵抗化される。特にチタンシリサイドはゲート長が短くなった場合、抵抗が増大することが知られているが、本発明ではゲート電極幅はゲート長より大きくなっているため、この問題は解消される。また、本実施の形態では、ゲート電極は全く絶縁膜に覆われておらず、ソース／ドレイン領域も非常に薄い絶縁膜に覆われているのみであるため、サリサイド技術の適用が容易である。その他の特徴は実施の形態3と同様である。

#### 【0074】実施の形態5

本実施の形態においては、高融点シリサイド層の形成工程が実施の形態4と異なる以外、ほぼ実施の形態4と同様である。

【0075】つまり、まず実施の形態3の図14(a)～図16(j)と同様にゲート電極39、40を形成し

た。

【0076】次いで、図20(a)に示したように、ソース／ドレイン領域となるべき領域上、つまり酸化膜開口部42内に存在するシリコン窒化膜3をドライエッチング法にてエッチング除去する。続いて、HF水溶液で残ったシリコン酸化膜2をエッチングし、シリコン基板1の表面を露出する。

【0077】その後、シリコン基板1上全面に、実施の形態4と同様の方法でチタン薄膜を堆積し、熱処理を行ない、硫酸過酸化水素混合溶液でエッチングすることにより、図20(b)に示したように、ゲート電極39、40及びソース／ドレイン領域49、50上にのみチタンシリサイド層51を形成する。以降の工程は実施の形態3の図16(k)～図17(n)と同様に行い、図19(b)に示したMOSトランジスタを形成する。

#### 【0078】

【発明の効果】本発明のMOSトランジスタによれば、ゲート電極の形状が、チャネル領域に対面する底面のゲート長よりもその上面のゲート長が長く、ゲート電極の側壁に接するとともにチャネル領域の外周を被覆するサイドウォールスペーサが形成されているため、形成工程であるフォトリソグラフィ技術に制約されることなく、安定した微細なゲート長を有するMOSトランジスタを得ることができる。つまり、従来から用いられている0.35～0.4μmの微細加工技術を用い、製造工程を著しく増加させることなく超微細なMOSトランジスタを得ることができ、さらに、ソース／ドレイン領域における寄生容量を低減させるとともに、ゲート電極とソース／ドレイン領域との間におけるサイドウォールスペーサにより、ゲート電極～ソース／ドレイン領域間の寄生容量を増加させることなく、低電圧での高速動作を実現することができる。

【0079】また、本発明のMOSトランジスタの製造方法によれば、通常のMOSトランジスタの製造工程に比較して著しい工程の増加を抑えながら、低電圧・高速動作を実現することができるMOSトランジスタを製造することができる。つまり、製造工程において、効率よく絶縁膜をエッチングストッパーとして使用することができ、半導体基板を全くエッチングに晒すことができないため、半導体基板表面のダメージを防止することができる。また、ゲート長を規定するフォトリソグラフィ工程を製造工程の初期で行うことができるため、下地パターン段差の影響を受けることがなく、しかも反射率の高い材料上でゲート長規定のためのフォトリソグラフィ工程を行う必要がないため、ゲート電極の微細パターンの形成を容易に行うことができる。さらに、フォトリソグラフィ工程により規定されたゲート長を、その後に形成する絶縁膜の膜厚により、さらに微細に調整することができ、より安定した微細なゲート長の制御を行うことができる。また、チャネル領域を、ソース／ドレイン領域対

してほぼ平坦に形成することができるため、半導体基板上に生じる段差はゲート電極の高さに相当する段差と、非常に小さく抑えることができるため、MOSトランジスタ製造後の配線工程においても、フォトリソグラフィ工程を容易に行うことができる。

【図面の簡単な説明】

【図1】本発明のMOSトランジスタの一実施例を示す(a)概略横断面図、(b)概略縦断面図である。

【図2】図1のMOSトランジスタの製造工程を示す概略断面図である。

【図3】図1のMOSトランジスタの製造工程を示す概略断面図である。

【図4】図1のMOSトランジスタの製造工程を示す概略断面図である。

【図5】図1のMOSトランジスタの製造工程を示す概略断面図である。

【図6】図1のMOSトランジスタの製造工程を示す概略断面図である。

【図7】図1のMOSトランジスタの製造工程で使用するレジストマスクの形状を説明するための平面図である。

【図8】図1のMOSトランジスタの製造工程で使用するレジストマスクの形状を説明するための平面図である。

【図9】本発明のMOSトランジスタの別の実施例を示す概略断面図である。

【図10】図1のMOSトランジスタの製造工程におけるイオン注入の注入角度を説明するための図である。

【図11】図1のMOSトランジスタの製造工程におけるイオン注入の注入角度を説明するための図である。

【図12】図1のMOSトランジスタにおけるソース／ドレイン領域近傍の不純物濃度分布を説明するための図である。

【図13】図1のMOSトランジスタにおけるチャネル領域近傍の不純物濃度分布を説明するための図である。

【図14】本発明のMOSトランジスタの別の製造工程を示す概略断面図である。

【図15】本発明のMOSトランジスタの別の製造工程を示す概略断面図である。

【図16】本発明のMOSトランジスタの別の製造工程を示す概略断面図である。

【図17】本発明のMOSトランジスタの別の製造工程を示す概略断面図である。

【図18】別のMOSトランジスタの製造工程で使用するレジストマスクの形状を説明するための平面図である。

【図19】本発明のMOSトランジスタのさらに別の製造工程を示す概略断面図である。

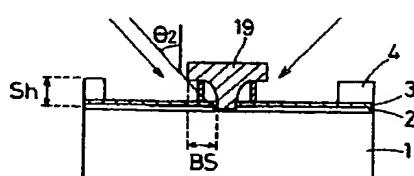
【図20】本発明のMOSトランジスタの別の製造工程を示す概略断面図である。

【図21】従来のMOSトランジスタの製造工程を示す概略断面図である。

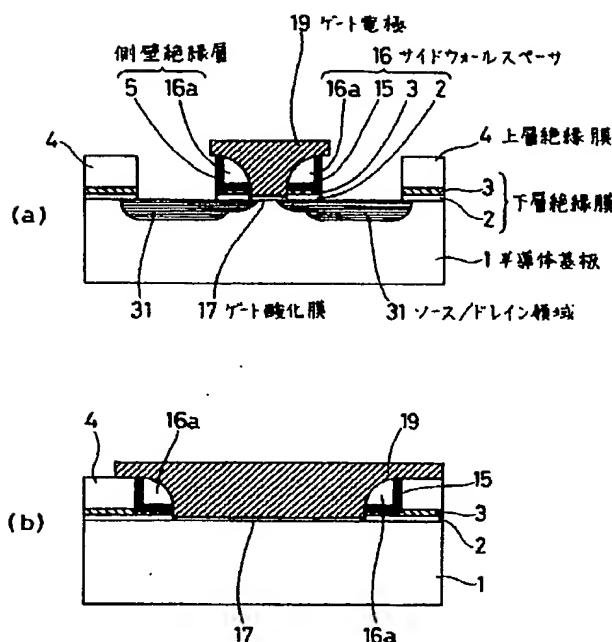
【符号の説明】

- 1 シリコン基板
- 2 シリコン酸化膜 (下層絶縁膜)
- 3 シリコン窒化膜 (下層絶縁膜)
- 4 シリコン酸化膜 (上層絶縁膜)
- 5 NMOSトランジスタ形成領域
- 5a NMOSチャネル領域
- 6 PMOSトランジスタ形成領域
- 6a PMOSチャネル領域
- 7、8、12、21、27、41、43、46 レジストパターン
- 9 リンイオン
- 10、13、14 ボロンイオン
- 11 硼素イオン
- 15 シリコン窒化膜 (側壁絶縁層)
- 16 サイドウォールスペーサ
- 16a シリコン酸化膜 (側壁絶縁層)
- 16b 側壁絶縁膜
- 17、37 ゲート絶縁膜
- 18 ポリシリコン
- 19、39 NMOSゲート電極
- 20、40 PMOSゲート電極
- 22、28、42 酸化膜開口部
- 25、26、44、45
- 29、30、47、48
- 31、32、49 50 ソース／ドレイン領域
- 33 層間絶縁膜
- 34 メタル配線
- 51 シリサイド

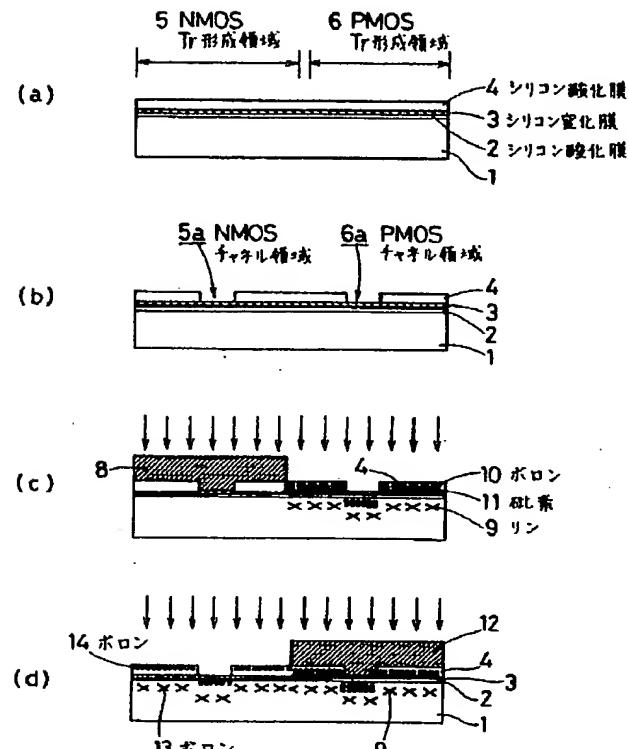
【図11】



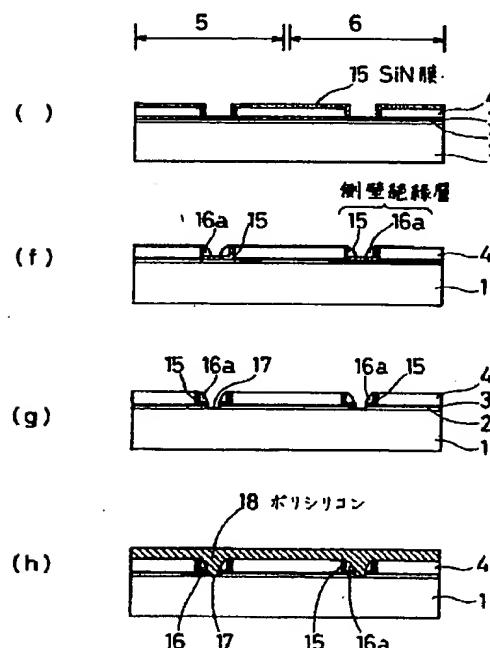
【図1】



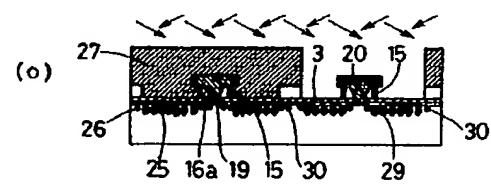
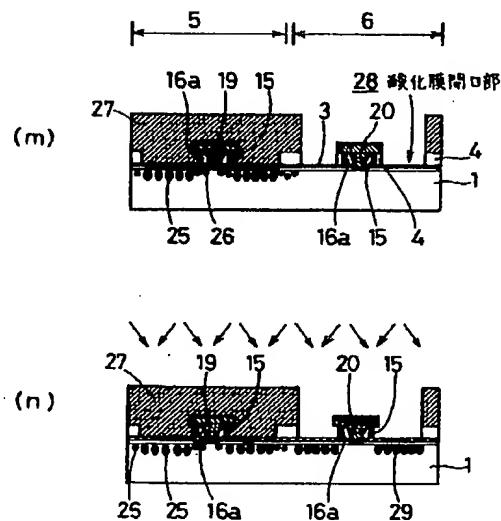
【図2】



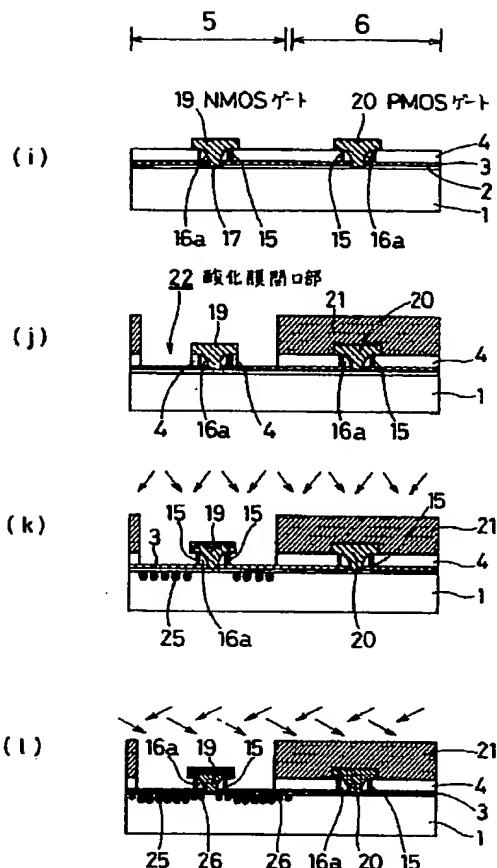
【図3】



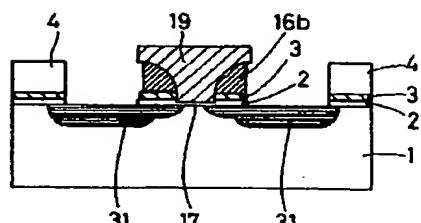
【図5】



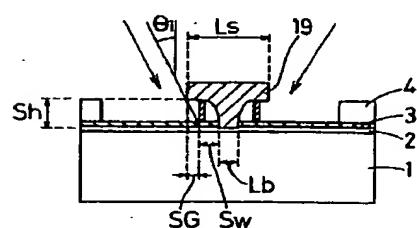
〔图4〕



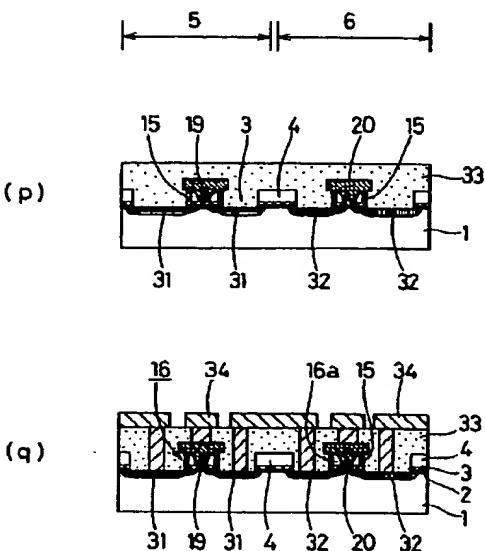
【図9】



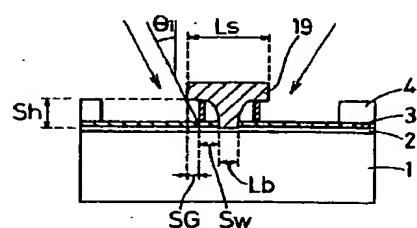
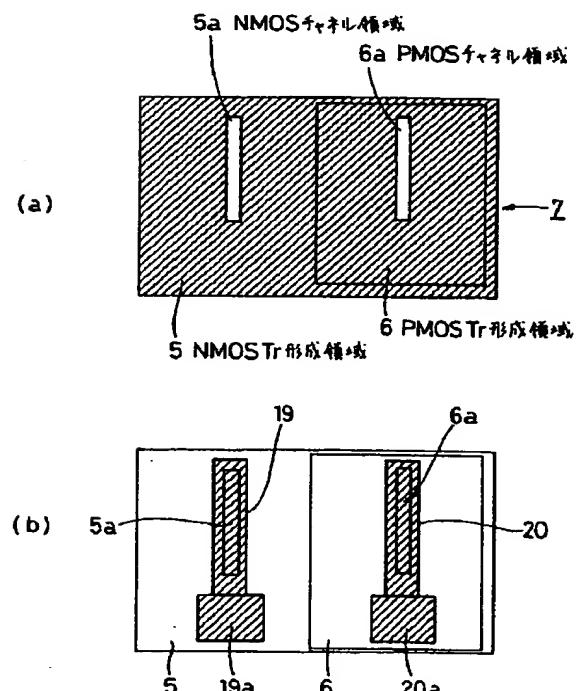
[图 10]



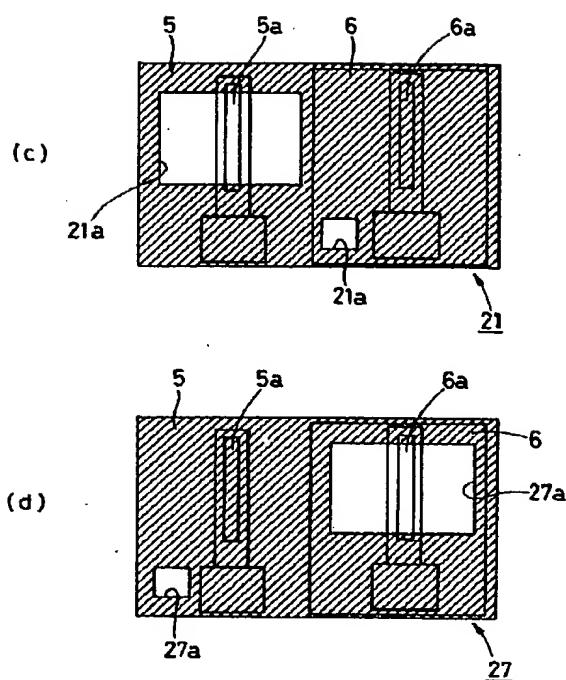
[図 6]



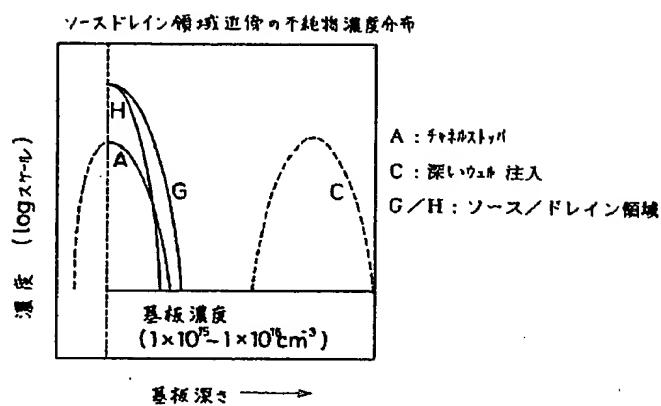
[図 7]



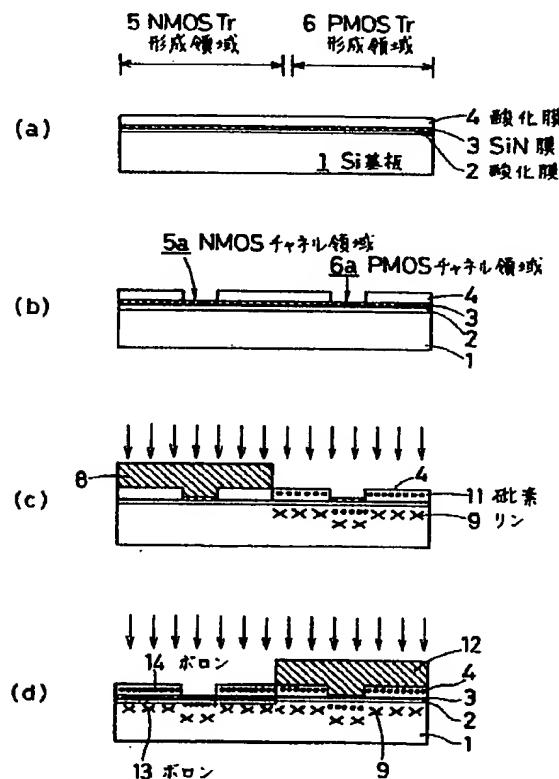
【図 8】



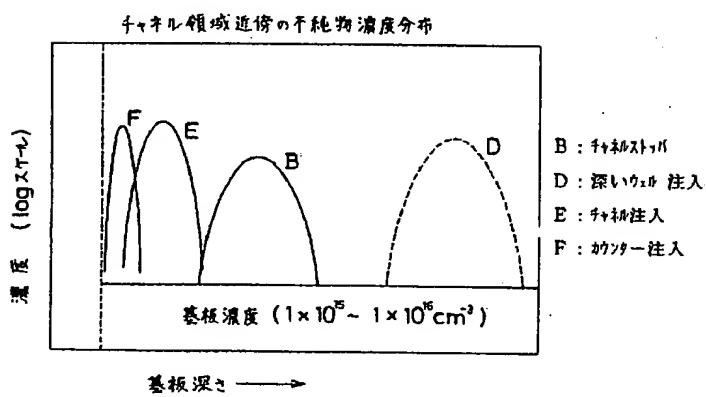
【図 12】



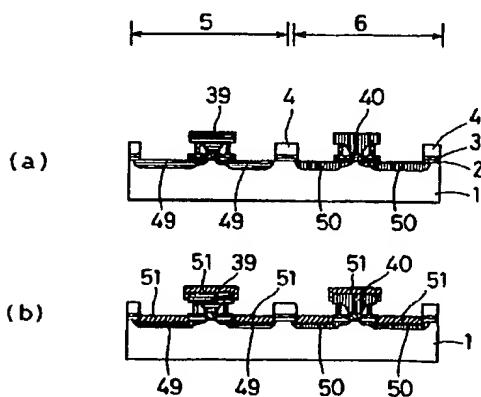
【図 14】



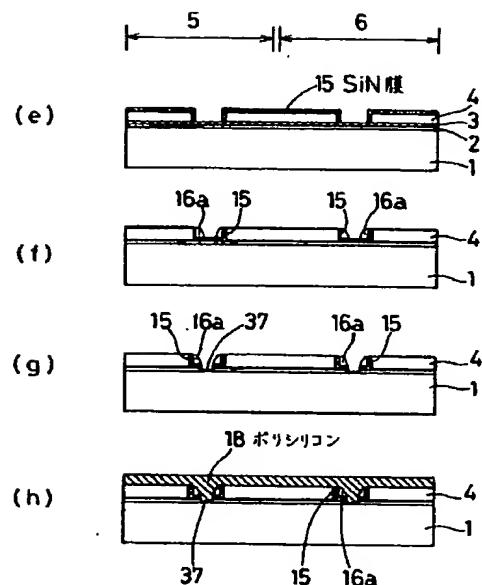
【図 13】



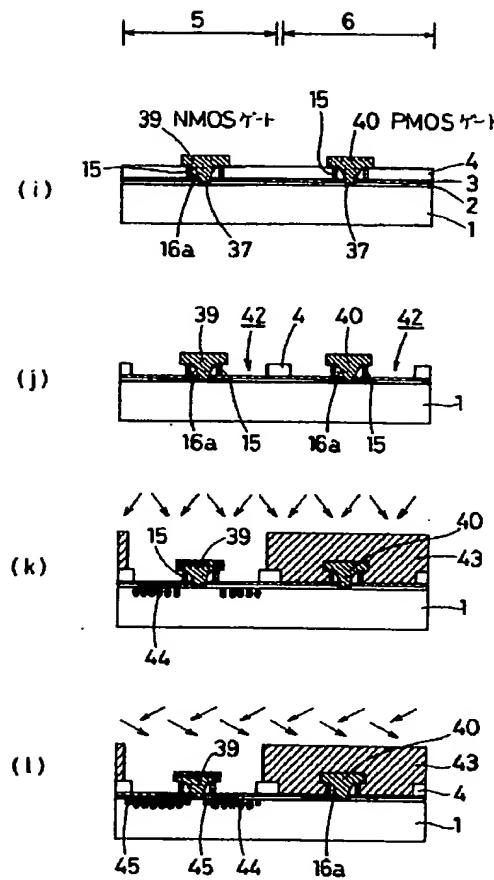
【図 19】



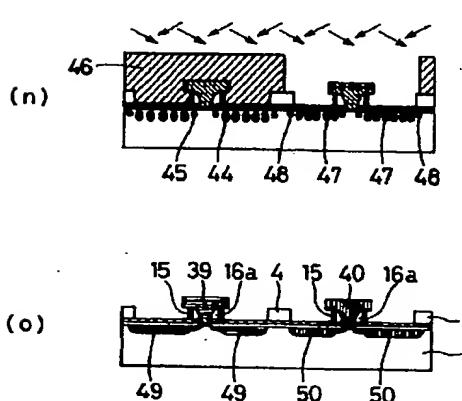
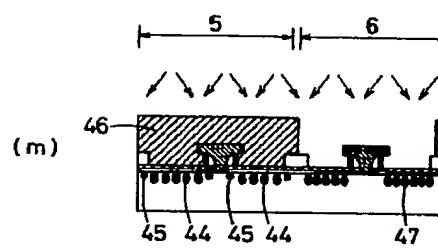
【図15】



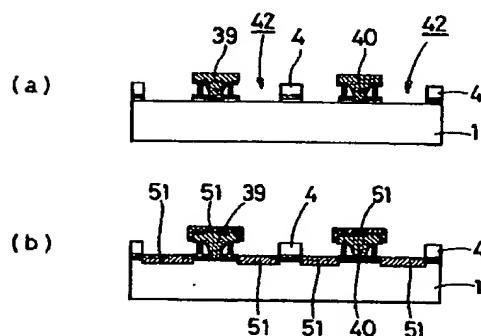
【図16】



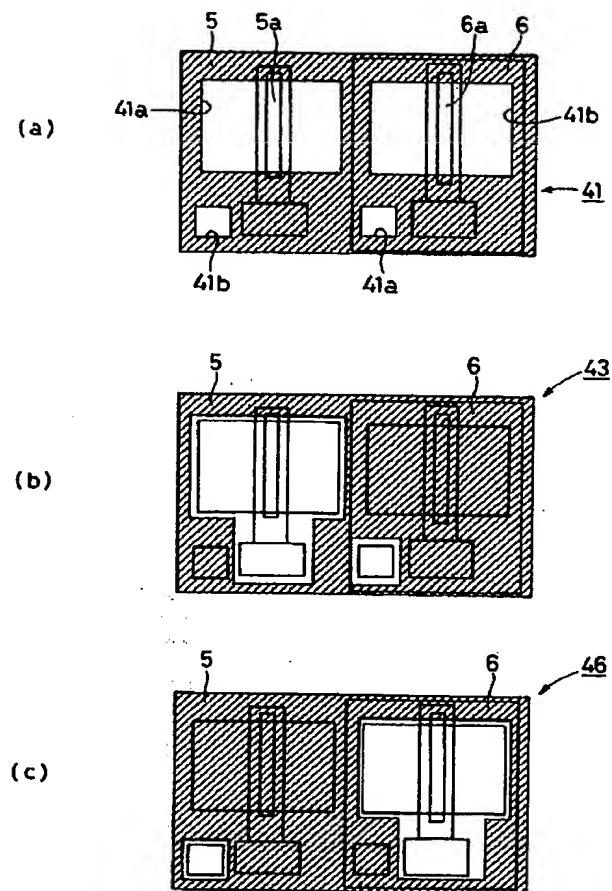
【図17】



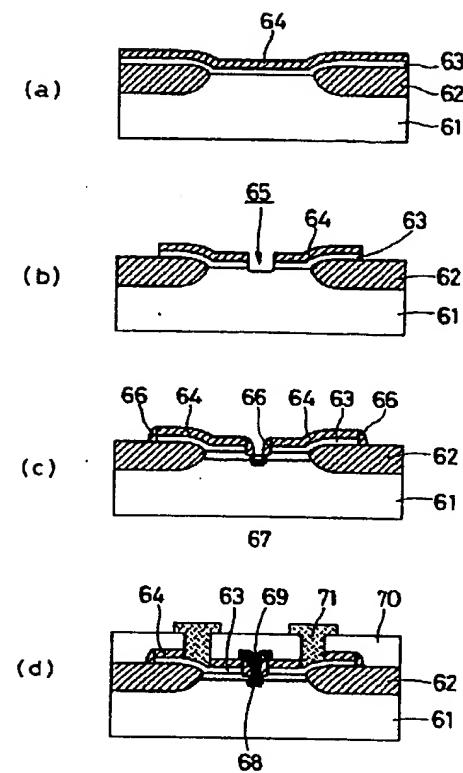
【図20】



【図18】



【図21】



THIS PAGE BLANK (USPTO)